

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-167860

(43)Date of publication of application : 22.06.1999

(51)Int.CI. H01J 1/30  
H01J 9/02  
H01J 29/04  
H01J 31/12

(21)Application number : 10-239284

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.08.1998

(72)Inventor : AKIYAMA KOJI  
KUROKAWA HIDEO

(30)Priority

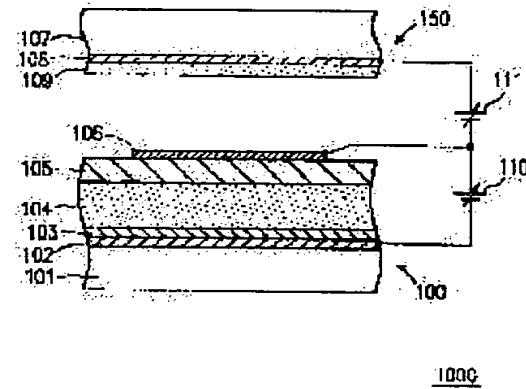
Priority number : 09230592 Priority date : 27.08.1997 Priority country : JP  
09268477 01.10.1997 JP

(54) ELECTRON EMITTING ELEMENT, FIELD EMISSION TYPE DISPLAY APPARATUS USING ELECTRON EMITTING ELEMENT, AND THEIR MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electron emitting element having highly stable electron emitting property, high electron emitting efficiency, and a long life.

SOLUTION: The emitter part of this electron emitting element comprising the emitter part to emit electrons has structure constituted of successively formed a first semiconductor layer 103, a second semiconductor layer 104, an insulating layer 105, and a second conductive electrode 106 on a first conductive electrode 102. The first and the second semiconductor layers contain one or more elements selected from carbon, silicon, and germanium as main components and the first semiconductor layer contains one or more atoms different from the main components among carbon atom, oxygen atom, and nitrogen atom.



## LEGAL STATUS

[Date of request for examination] 21.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3387011

[Date of registration] 10.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-167860

(43)公開日 平成11年(1999)6月22日

(51)Int.CI.	識別記号	序内整理番号	F I	技術表示箇所
	H01J 1/30		H01J 1/30	M
	9/02		9/02	C
	29/04		29/04	M
	31/12		31/12	C

審査請求 未請求 請求項の数 22 O L (全15頁)

(21)出願番号	特願平10-239284
(22)出願日	平成10年(1998)8月25日
(31)優先権主張番号	特願平9-230592
(32)優先日	平9(1997)8月27日
(33)優先権主張国	日本(J P)
(31)優先権主張番号	特願平9-268477
(32)優先日	平9(1997)10月1日
(33)優先権主張国	日本(J P)

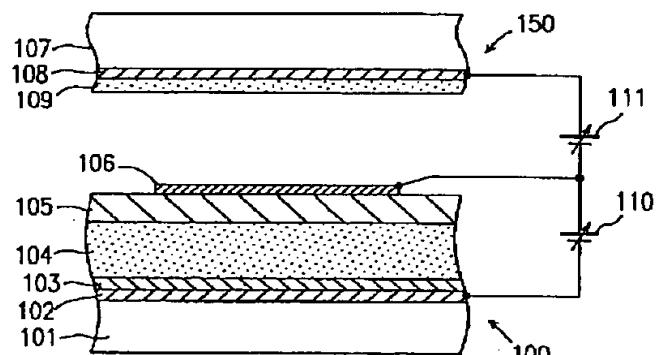
(71)出願人	000005821
	松下電器産業株式会社
	大阪府門真市大字門真1006番地
(72)発明者	秋山 浩二
	大阪府門真市大字門真1006番地 松下
	電器産業株式会社内
(72)発明者	黒川 英雄
	大阪府門真市大字門真1006番地 松下
	電器産業株式会社内
(74)代理人	弁理士 山本 秀策

(54)【発明の名称】電子放出素子及びそれを利用した電界放出型ディスプレイ装置、並びにそれらの製造方法

## (57)【要約】

【課題】 安定性の高い電子放出特性を有し、長寿命で且つ電子放出効率の高い電子放出素子を実現する。

【解決手段】 電子を放出するエミッタ部を備えた電子放出素子において、該エミッタ部が、少なくとも第1の導電性電極の上に第1の半導体層、第2の半導体層、絶縁体層、及び第2の導電性電極が順次積層された構造を有し、該第1及び第2の半導体層が、炭素、シリコン、ゲルマニウムのうちの少なくとも1種類以上を主成分とし、且つ第1の半導体層が炭素原子、酸素原子、空素原子のうちの該主成分とは異なる1種類以上を含有する。



1000

## 【特許請求の範囲】

【請求項 1】 電子を放出するエミッタ部を備えた電子放出素子であって、

該エミッタ部が、少なくとも第 1 の導電性電極の上に第 1 の半導体層、第 2 の半導体層、絶縁体層、及び第 2 の導電性電極が順次積層された構造を有し、

該第 1 及び第 2 の半導体層が、炭素、シリコン、ゲルマニウムのうちの少なくとも 1 種類以上を主成分とし、且つ第 1 の半導体層が炭素原子、酸素原子、窒素原子のうちの該主成分とは異なる 1 種類以上を含有する、電子放出素子。

【請求項 2】 前記第 1 の半導体層が非晶質である、請求項 1 に記載の電子放出素子。

【請求項 3】 前記第 1 の半導体層の不対電子密度が約  $1 \times 10^{11} \text{ cm}^{-3}$  以上である、請求項 1 に記載の電子放出素子。

【請求項 4】 前記絶縁体層が、少なくとも炭素、ケイ素、ゲルマニウムのうちの 1 種類以上を主成分とする、請求項 1 に記載の電子放出素子。

【請求項 5】 前記第 2 の半導体層と前記絶縁体層との間に、該第 2 の半導体層を構成する元素と該絶縁体層を構成する元素とが混在している傾斜領域が存在する、請求項 1 に記載の電子放出素子。

【請求項 6】 前記傾斜領域の厚さが約  $0.01 \mu\text{m}$  以上で且つ前記絶縁体層の厚さより薄い、請求項 5 に記載の電子放出素子。

【請求項 7】 少なくとも前記第 2 の半導体層と前記絶縁体層との界面に凹凸形状が形成されている、請求項 1 に記載の電子放出素子。

【請求項 8】 前記界面の前記凹凸形状の最大深さが、前記絶縁体層の厚さの約  $1/100$  以上で且つ該絶縁体層の厚さより小さい、請求項 7 に記載の電子放出素子。

【請求項 9】 前記第 1 の導電性電極と前記第 1 の半導体層との間の界面に凹凸形状が形成されている、請求項 1 に記載の電子放出素子。

【請求項 10】 前記第 2 の半導体層が少なくとも微結晶を含む、請求項 1 に記載の電子放出素子。

【請求項 11】 前記第 1 及び第 2 の半導体層が少なくとも水素を含む、請求項 10 に記載の電子放出素子。

【請求項 12】 前記第 2 の半導体層の内部に非晶質領域と微結晶領域とが混在している、請求項 10 に記載の電子放出素子。

【請求項 13】 前記第 2 の半導体層に含まれる前記微結晶の粒径が約  $1 \text{ nm}$  ~ 約  $500 \text{ nm}$  の範囲内である、請求項 10 に記載の電子放出素子。

【請求項 14】 請求項 1 に記載の電子放出素子を含む電界放出型ディスプレイ装置であって、該電子放出素子の前記第 2 の導電性電極の表面が該ディスプレイ装置の電子放出源として機能するように構成されている、電界放出型ディスプレイ装置。

【請求項 15】 第 1 の導電性電極を形成する工程と、該第 1 の導電性電極の表面にハロゲンイオン或いはハロゲンラジカルを接触させて凹凸形状を形成する工程と、該第 1 の導電性電極の表面に、第 1 の半導体膜、第 2 の半導体膜、絶縁体膜、及び第 2 の導電性電極を順次形成する工程と、を包含する、電子放出素子の製造方法。

【請求項 16】 第 1 の導電性電極を形成する工程と、シリコン原子を含有するガスを水素ガスで体積比  $1:10$  以上に希釈した混合ガスをグロー放電にて分解することによって、該第 1 の導電性電極の表面に第 1 の半導体層及び第 2 の半導体層を順次形成する工程と、

該第 2 の半導体層の表面に、絶縁体層及び第 2 の導電性電極を順次形成する工程と、を包含する、電子放出素子の製造方法。

【請求項 17】 第 1 の導電性電極、第 1 の半導体層、及び第 2 の半導体層を順次形成する工程と、

該第 1 の半導体層或いは該第 2 の半導体層の表面にハロゲンイオン或いはハロゲンラジカルを接触させて凹凸形状を形成する工程と、

20 該第 2 の半導体層の表面に、絶縁体層及び第 2 の導電性電極を順次形成する工程と、を包含する、電子放出素子の製造方法。

【請求項 18】 第 1 の導電性電極、第 1 の半導体層、及び第 2 の半導体層を順次形成する工程と、

該第 1 及び第 2 の半導体層を加熱して、少なくとも該第 2 の半導体層の内部に微結晶を成長させる工程と、

該第 2 の半導体層の表面に、絶縁体層及び第 2 の導電性電極を順次形成する工程と、を包含する、電子放出素子の製造方法。

30 【請求項 19】 請求項 15 に記載の電子放出素子の製造方法に従って前記電子放出素子を形成する工程と、蛍光体層を表面に有する陽極基板を形成する工程と、該電子放出素子の前記第 2 の導電性電極の表面と該陽極基板の該蛍光体層とを対向させ、該第 2 の導電性電極の表面が該蛍光体層に対する電子放出源として機能するように配置する工程と、を包含する、電界放出型ディスプレイ装置の製造方法。

【請求項 20】 請求項 16 に記載の電子放出素子の製造方法に従って前記電子放出素子を形成する工程と、

40 蛍光体層を表面に有する陽極基板を形成する工程と、該電子放出素子の前記第 2 の導電性電極の表面と該陽極基板の該蛍光体層とを対向させ、該第 2 の導電性電極の表面が該蛍光体層に対する電子放出源として機能するように配置する工程と、を包含する、電界放出型ディスプレイ装置の製造方法。

【請求項 21】 請求項 17 に記載の電子放出素子の製造方法に従って前記電子放出素子を形成する工程と、

蛍光体層を表面に有する陽極基板を形成する工程と、該電子放出素子の前記第 2 の導電性電極の表面と該陽極基板の該蛍光体層とを対向させ、該第 2 の導電性電極の

表面が該蛍光体層に対する電子放出源として機能するよう配する工程と、を包含する、電界放出型ディスプレイ装置の製造方法。

【請求項 22】 請求項 18 に記載の電子放出素子の製造方法に従って前記電子放出素子を形成する工程と、蛍光体層を表面に有する陽極基板を形成する工程と、該電子放出素子の前記第 2 の導電性電極の表面と該陽極基板の該蛍光体層とを対向させ、該第 2 の導電性電極の表面が該蛍光体層に対する電子放出源として機能するよう配する工程と、を包含する、電界放出型ディスプレイ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電界放出型ディスプレイ装置或いは撮像管などに用いられる、高い電子放出特性ならびに高い表面安定性を有する長寿命の電子放出素子、及びそのような電子放出素子の製造方法に関する。また、本発明は、上記のような電子放出素子を使用して構成される電界放出型ディスプレイ装置、及びその製造方法に関する。

【0002】

【従来の技術】 薄型・軽量のディスプレイ装置として現在最も広く用いられているのが、液晶ディスプレイパネルである。これは、1つ1つの画素において、液晶層に印加される電圧を薄膜トランジスタ或いはMIM（金属／絶縁体／金属）素子などのスイッチング素子によってコントロールし、液晶層を通過する光量を調節する光バルブである。このように液晶ディスプレイ装置は、それ自身が発光する自発光素子ではないため、一般的に暗く、視野角が狭いという問題がある。

【0003】 このような液晶ディスプレイ装置の問題点を解決する薄型且つ軽量の自発光素子として、電子放出素子が期待されている。この電子放出素子は、従来のCRTのようにカソードを加熱して電子を放出させる熱電子放出タイプではなく、電界によってカソードから電子を引っ張り出す冷陰極タイプである。

【0004】 従来の電子放出素子に関しては、例えば、半導体トランジスタ等の製造に使用されている微細加工技術を利用してミクロンサイズの微小な真空素子を作製する技術が研究開発されている（例えば、（1）伊藤順司、応用物理、第 59 卷第 2 号、第 164 ~ 169 頁、1990 年、或いは（2）横尾邦義、電気学会誌、第 12 卷第 4 号、1992 年）。

【0005】 この電子放出素子は、図 7 に示すように、導電性シリコン基板（陰極基板）701 と、このシリコン基板 701 の上に形成され且つ表面に円錐状突起 702 を有するシリコン層と、により構成されている。円錐状突起 702 は、微細加工技術を使用して成形加工され、シリコン電子エミッタ部となる。また、この電子エミッタ部を有する陰極基板 701 に対向して、陽極基板

が配置されている。この陽極基板は、透明なガラス基板 703 に、透明電極 704 及び蛍光体薄膜 705、更に必要に応じて金属薄膜を順次積層して形成されたものであり、蛍光体薄膜 705 の設けられている側が電子エミッタ部に対向するように配置されている。

【0006】 このように、発光素子を構成する対向した陰極基板と陽極基板とを高真空中に設置して、陰極基板と陽極基板との間に所定の電圧を印加すると、電子エミッタ部の先端から真空中に電子が放出される。この放出された電子は、印加された電圧によって加速されて蛍光体薄膜 705 に到達する。このような電子の蛍光体薄膜 705 への衝突によって、蛍光体薄膜 705 が発光する。蛍光体薄膜 705 は、その構成材料を変えることにより、赤・青・緑の 3 原色、或いはその中間色を、自由に発光させることが可能である。また、蛍光体の発光輝度の制御は、ゲート電極 706 の電圧を調整することにより行う。

【0007】 上記のような発光素子を平面上に複数個配列して、ディスプレイ装置を構成する。

【0008】

【発明が解決しようとする課題】 上記のような従来の電子放出素子は、低電圧での動作を可能にするために、電子エミッタ部分を円錐形にし、その先端部分での電界強度を高めて、電子を放出している。このため、先端部分での電流密度が大きくなる。

【0009】 加えて、電子エミッタ部の構成材料が金属に比べて導電性の低いシリコンであるために、素子動作中に先端部分に熱が発生し易い。そのため、エミッタ先端部分が熱によって蒸発したり溶けたりすることにより、エミッタ部先端の曲率半径が大きくなつて、電子放出特性が劣化するという問題点がある。

【0010】 また、上記のようにして電子放出特性が劣化すると蛍光体の発光輝度が低下するため、輝度を高めるためには、動作電圧をより高くして、エミッタを流れる電流を回復させなければならない。しかし、前述のようにエミッタ先端部分での電気抵抗が大きくなっているため、この部分での発熱量は一層大きくなり、電子放出特性の劣化が一層加速される。その結果、素子が破壊されて所期の電子放出が実現されない。

【0011】 このように、従来の電子放出素子は、エミッタ部分が先端の尖った形状をしているが故に、動作電流を大きくすることができず、発光輝度が低く、且つ寿命が短いとともに動作安定性及び信頼性に乏しく、ディスプレイ装置として実用化することは極めて困難である。

【0012】 本発明は、上記の課題を解決するためになされたものであつて、その目的は、（1）動作電流が大きく且つエミッタ部の劣化が無く、長寿命で動作安定性及び信頼性に優れた電子放出素子を提供すること、

（2） そのような電子放出素子の製造方法を提供すること

と、及び、(3) 上記の電子放出素子を利用した電界放出型ディスプレイ装置及びその製造方法を提供すること、である。

## 【0013】

【課題を解決するための手段】本発明のある局面によれば、電子を放出するエミッタ部を備えた電子放出素子において、該エミッタ部が、少なくとも第1の導電性電極の上に第1の半導体層、第2の半導体層、絶縁体層、及び第2の導電性電極が順次積層された構造を有し、該第1及び第2の半導体層が、炭素、シリコン、ゲルマニウムのうちの少なくとも1種類以上を主成分とし、且つ第1の半導体層が炭素原子、酸素原子、空素原子のうちの該主成分とは異なる1種類以上を含有しており、そのことによって、上記の目的が達成される。

## 【0014】前記第1の半導体層は非晶質であり得る。

【0015】好ましくは、前記第1の半導体層の不対電子密度が約 $1 \times 10^{10} \text{ cm}^{-3}$ 以上である。

【0016】前記絶縁体層が、少なくとも炭素、ケイ素、ゲルマニウムのうちの1種類以上を主成分とし得る。

【0017】ある実施形態では、前記第2の半導体層と前記絶縁体層との間に、該第2の半導体層を構成する元素と該絶縁体層を構成する元素とが混在している傾斜領域が存在する。

【0018】好ましくは、前記傾斜領域の厚さが約 $0.1 \mu\text{m}$ 以上で且つ前記絶縁体層の厚さより薄い。

【0019】ある実施形態では、少なくとも前記第2の半導体層と前記絶縁体層との界面に凹凸形状が形成されている。

【0020】好ましくは、前記界面の前記凹凸形状の最大深さが、前記絶縁体層の厚さの約 $1/100$ 以上で且つ該絶縁体層の厚さより小さい。

【0021】ある実施形態では、前記第1の導電性電極と前記第1の半導体層との間の界面に凹凸形状が形成されている。

## 【0022】ある実施形態では、前記第2の半導体層が少なくとも微結晶を含む。

## 【0023】前記第1及び第2の半導体層は少なくとも水素を含み得る。

## 【0024】前記第2の半導体層の内部には、非晶質領域と微結晶領域とが混在し得る。

【0025】好ましくは、前記第2の半導体層に含まれる前記微結晶の粒径が約 $1 \text{ nm}$ ～約 $500 \text{ nm}$ の範囲内である。

【0026】本発明によって提供される電界放出型ディスプレイ装置は、上記のような特徴を有する電子放出素子を含み、該電子放出素子の前記第2の導電性電極の表面が該ディスプレイ装置の電子放出源として機能するように構成されていて、そのことによって、前述の目的が達成される。

【0027】本発明の電子放出素子の製造方法は、第1の導電性電極を形成する工程と、該第1の導電性電極の表面にハロゲンイオン或いはハロゲンラジカルを接触させて凹凸形状を形成する工程と、該第1の導電性電極の表面に、第1の半導体膜、第2の半導体層、絶縁体層、及び第2の導電性電極を順次形成する工程と、を包含しており、そのことによって、前述の目的が達成される。

【0028】本発明の他の電子放出素子の製造方法は、第1の導電性電極を形成する工程と、シリコン原子を含有するガスを水素ガスで体積比 $1:10$ 以上に希釈した混合ガスをグロー放電にて分解することによって、該第1の導電性電極の表面に第1の半導体層及び第2の半導体層を順次形成する工程と、該第2の半導体層の表面に、絶縁体層及び第2の導電性電極を順次形成する工程と、を包含しており、そのことによって、前述の目的が達成される。

【0029】本発明のさらに他の電子放出素子の製造方法は、第1の導電性電極、第1の半導体層、及び第2の半導体層を順次形成する工程と、該第1の半導体層或いは該第2の半導体層の表面にハロゲンイオン或いはハロゲンラジカルを接触させて凹凸形状を形成する工程と、該第2の半導体層の表面に、絶縁体層及び第2の導電性電極を順次形成する工程と、を包含しており、そのことによって、前述の目的が達成される。

【0030】本発明のさらに他の電子放出素子の製造方法は、第1の導電性電極、第1の半導体層、及び第2の半導体層を順次形成する工程と、該第1及び第2の半導体層を加熱して、少なくとも該第2の半導体層の内部に微結晶を成長させる工程と、該第2の半導体層の表面に、絶縁体層及び第2の導電性電極を順次形成する工程と、を包含しており、そのことによって、前述の目的が達成される。

【0031】本発明によって提供される電界放出型ディスプレイ装置の製造方法は、上記のような特徴を有する電子放出素子の製造方法に従って前記電子放出素子を形成する工程と、蛍光体層を表面に有する陽極基板を形成する工程と、該電子放出素子の前記第2の導電性電極の表面と該陽極基板の該蛍光体層とを対向させ、該第2の導電性電極の表面が該蛍光体層に対する電子放出源として機能するように配置する工程と、を包含しており、そのことによって、前述の目的が達成される。

## 【0032】

【発明の実施の形態】以下、本発明の幾つかの実施形態を添付の図面を参照して説明する。

【0033】(第1の実施形態) 図1は、本発明の第1の実施形態に係わる電子放出素子100、及びそれを使用した電界放出型ディスプレイ装置1000の概略構成図である。以下に、図1を参照しながら、電子放出素子100や電界放出型ディスプレイ装置1000の構成や製造方法を説明する。

【0034】まず、ガラス基板101の上に、第1の導電性電極102として、Al、Al-Li合金、Mg、Mg-Al合金、Ag、Cr、W、Mo、Ta、或いはTiの薄膜を、スパッタ法或いは真空蒸着法により、厚さ約0.01μm～約100μm、典型的には約0.05μm～約1μmに形成する。

【0035】次に、Siをターゲットとするスパッタ装置の内部に基板101を配置して、He、Ne、Ar、或いはKrなどの希ガスとO<sub>2</sub>、O<sub>3</sub>、N<sub>2</sub>O、NO、NO<sub>2</sub>、O<sub>2</sub>、O<sub>3</sub>など酸素原子をその分子内に含むガスとの混合ガスを、スパッタ装置内に導入する。その際、装置内の圧力を約1mTorr～約10mTorr、典型的には約2mTorr～約5mTorrに調整する。その後に、高周波電力(13.56MHz)を印加して、第1の導電性電極102の上に、酸素を含む非晶質シリコン膜を厚さ約1nm～約100nm、典型的には約5nm～約50nmに形成して、第1の半導体層103とする。但し、このときの層103の中の酸素含有量は、約0.0001原子%～約10原子%、典型的には約0.001原子%～約1原子%である。

【0036】次に、同じスパッタ装置内で、上記希ガスのみを用いて非晶質シリコン膜を厚さ約1μm～約10μm、典型的には約2μm～約6μmに形成し、第2の半導体層104とする。但し、第1及び第2の半導体層103及び104の成膜時の基板加熱温度は、約300℃～約400℃、典型的には約350℃とする。

【0037】統いて、同じスパッタ装置内で、上記希ガスに加えて上記の酸素原子を分子内に含むガスを導入し、SiO<sub>x</sub>膜(但し、xは0.25以上且つ2以下)を約0.4μmの厚さで形成し、絶縁体層105とする。さらに、第2の導電性電極106として、第1の導電性電極102の構成材料よりも大きい仕事関数を有する金属(例えば、Au、Pt、Ni、或いはPd等)の薄膜を、厚さ約1nm～約50nm、典型的には約5nm～約20nmで、スパッタ法或いは真空蒸着法により積層する。

【0038】以上によって、電子放出素子100が形成される。

【0039】この電子放出素子100を陰極とし、それに対向するように、ガラス基板107の上にITO或いはSnO<sub>2</sub>等からなる透明電極108と蛍光体薄膜109とが積層された陽極基板150を配置する。これによって、電界放出型ディスプレイ装置1000を構成する。

【0040】上記のような電子放出素子(陰極)100と陽極基板(陽極)150との間を真空状態にし、さらに直流電源110及び111を使ってバイアス電圧を陰極100と陽極150との間に印加する。その結果、直流電源110の電圧が約10～約200V、直流電源111の電圧が約3kV～約10kVというバイアス条件

下で、第2の導電性電極106の表面から真空中に電子が放出され、この放出された電子が、直流電源111による電界によって加速されて蛍光体薄膜109と衝突し、蛍光体薄膜109が発光することが観測された。

【0041】この素子の電子放出効率(直流電源111を流れる電流と直流電源110を流れる電流との比)は、約4%～約32%と高い。また、第2の導電性電極106と蛍光体109との間を流れる電流密度も約1mA/cm<sup>2</sup>を越えており、動作電流が大きいことが確認できた。

【0042】蛍光体層109の発光輝度は、図7に示す従来構造のものに比べて、2桁～3桁ほど明るかった。さらに、1000時間以上の連続動作を行っても電子放出素子100からの電子放出効率はほとんど変化せず、図1の電子放出素子100が長寿命を有し且つ動作安定性に優れていることが確認できた。

【0043】電子放出素子100の電子放出効率が高く、また、従来例に比べて動作電流が大きく高輝度が得られた原因を調べたところ、第1の半導体層103の中20に存在する酸素含有量に関連があることが判明した。これを以下に説明する。

【0044】先ず比較のために、上記の電子放出素子100の第1の半導体層103の形成条件において、上記酸素原子を含むガスを混合せずに、希ガスのみを用いて酸素を全く含まない非晶質シリコンを形成し、他の構成要素は素子100と全く同様にして、比較用電子放出素子を作製した。そして、この比較用素子について上記と同様に電子放出特性を調べたところ、直流電源110の電圧を400V以上に大きくしても素子中を電流がほとんど流れず、電子放出も観測できなかった。

【0045】このように第1の半導体層の特性が異なる2つの素子において電子放出特性が大きく異なった原因を探るため、本実施形態における素子100の第1の半導体層103を単結晶Siウェーハ上に成膜し、電子スピン共鳴(ESR)法により分析したところ、第1の半導体層103中の電子スピン(不対電子或いはダンギリングボンドともいう)の密度が約1×10<sup>11</sup>cm<sup>-3</sup>～約5×10<sup>11</sup>cm<sup>-3</sup>の範囲の値であるとともに、酸素含有量が約0.0001原子%～約10原子%の範囲では、酸素含有量が増えれば増えるほど電子スピン密度が増加することが判明した。また、電子スピン密度の大きい場合ほど、電子放出効率が大きいことが確認できた。

【0046】一方、比較用素子の第1の半導体層を同様に分析したところ、その電子スピン密度は約1×10<sup>11</sup>cm<sup>-3</sup>より小さいことが判明した。

【0047】これらの結果より、本実施形態における電子放出素子100が上記のように高い電子放出効率を示す原因是、第1の半導体層103の電子スピン密度の高さにあると考えられる。この電子スピンは半導体の禁止帯内部に局在単位を生成するため、この電子スピン密度

の増加にともなって、局在単位密度も増加する。通常、第1の導電性電極102から第1の半導体層103へ電子を注入する場合、フェルミ単位の差によって生じるエネルギー障壁の存在によって注入効率が悪い。しかし、第1の半導体層103中に多くの局在単位が存在すると、第1の導電性電極102中の電子は、第1の導電性電極102のフェルミ単位からこの局在単位を介して第1の半導体層103中に注入されるため、エネルギー障壁がなく、注入効率が飛躍的に高くなる。注入された電子は、局在単位間をホッピング伝導しながら第1の半導体層103中を移動すると同時に、徐々に熱的に励起され、伝導帯にも到達するようになる。伝導帯に到達した電子は、第1の半導体層103と同じ主成分からなる第2の半導体層104へは、何の障壁もなく注入される。次の絶縁体層105中にも、一般的には多くの局在単位が存在するため、第2の半導体層104中を移動してきた電子は、絶縁体層105との界面においても、ほほしいエネルギーをもった絶縁体層105中の局在単位に何の障壁もなく移動する。

【0048】さらに、直流電源110の電圧の大部分は絶縁体層105に印加されているため、絶縁体層105中の局在単位に存在する電子は、熱的に伝導帯へ励起されるとこの高電界によって加速されてホットエレクトロンとなり、厚さの薄い第2の導電性電極106を突き抜けて真空中に飛び出す。飛び出した電子は、直流電源111の作る電界によって蛍光体層109に衝突し、これを発光させる。従って、絶縁体層105中に注入される電子の数の増加は、そのまま蛍光体層109の発光輝度の増加につながる。

【0049】一方、電子スピン密度の小さい酸素を含まない非晶質シリコンを第1の半導体層として使用した比較用素子の場合、局在単位を介しての第1の半導体層への電子注入が行われないため、素子を流れる電流が小さく、電子放出も起こらないと考えられる。すなわち、効率の高い電子放出を行うキーの1つが、第1の導電性電極102から第1の半導体層103への電子の注入効率を高めることであると考えられる。

【0050】第1の半導体層103の酸素含有量を10原子%以上にすると、電子放出効率が減少する。ここで、酸素含有量の増加時には、電子スピン密度は逆に急減している。一般に、非晶質シリコン膜は、その中のダングリングボンドを意図的に水素原子で終端させて使用されることが多いが、上記のように酸素含有量が大きい場合は、酸素原子は水素原子と同様にダングリングボンドを終端する作用を呈すると考えられる。

【0051】上記の結果より、第1の半導体層103の中の電子スピン密度が約 $10^{11} \text{ cm}^{-3}$ 以上であれば高い電子放出効率が得られるが、これは、電子スピン密度の値が大きいほど、第1の導電性電極102から第1の半導体層103への電子注入効率が大きくなるためと思われる。

れる。なお、好ましい電子スピン密度の値は約 $1 \times 10^{10} \text{ cm}^{-3}$ 以上であり、より好ましくは、約 $1 \times 10^{11} \text{ cm}^{-3}$ 以上である。

【0052】また、本実施形態の電子放出素子100は、図7を参照して説明した従来技術における構造とは異なって、エミッタ部分が尖っておらず平坦である。このため、局部的な電流集中がなく、それに起因したエミッタ部分の損傷が発生しないので、素子寿命が長くなるとともに動作電流が安定する。

【0053】このように、本実施形態では、従来の一般的な非晶質シリコン膜の使用方法とは異なって、第1の半導体層103の中のダングリングボンドを終端させずに適切な電子スピン密度（不対電子密度、或いはダングリングボンドの密度）を得ることによって、電子放出素子としての高い電子放出効率を実現している。なお、第1の半導体層103、第2の半導体層104、及び絶縁体層105の形成方法としては、上記の範囲の適切な電子スピン密度（不対電子密度、或いはダングリングボンドの密度）が得られる限りは、上記で説明したスパッタ法に限らず、電子ビーム蒸着法や各種の化学的気相蒸着（CVD）法など、半導体技術で一般的に使用される積層方法を使用することが可能である。

【0054】また、例えば水素を含有しない非晶質シリコン膜として上記の第1の半導体層103を形成したり、或いは水素化非晶質シリコン膜として上記の第1の半導体層103を形成した後に例えば電気炉内での約600°C以上の加熱処理によって第1の半導体層103から水素を放出させたりして、結果として、上述の範囲の適切な電子スピン密度（不対電子密度、或いはダングリングボンドの密度）を得るようとしても、上記の特徴（効果）を達成することが可能である。

【0055】（第2の実施形態）本発明の第2の実施形態では、第1の実施形態で作製した電子放出素子100において、第1の半導体層103として、上記の酸素を含むガスの代わりに窒素原子を含むガス（N<sub>2</sub>、NH<sub>3</sub>、NF<sub>3</sub>、N<sub>2</sub>O、NOなど）或いは炭素原子を含むガス（CO、CO<sub>2</sub>、CH<sub>4</sub>、C<sub>2</sub>H<sub>6</sub>、C<sub>3</sub>H<sub>8</sub>など）を使用して、窒素或いは炭素を含む非晶質シリコン層を形成する。その他の各構成要素は第1の実施形態で説明したものと同様であり、それらの説明はここでは省略する。

【0056】第1の実施形態と同様に本実施形態の素子の電子放出特性を調べたところ、第1の実施形態における素子100とほぼ同じ結果を得た。さらに、1000時間以上の連続動作を行っても電子放出効率はほとんど変化せず、長寿命で動作安定性に優れていることが確認できた。但し、上記のような特性を得るためにには、窒素或いは炭素を含む非晶質シリコン層からなる第1の半導体層103における窒素或いは炭素含有量は、好ましくは約0.0001原子%～約10原子%に設定する。こ

のような設定によって、第1の半導体層103の中の電子スピン密度が第1の実施形態で説明した適切な範囲内に設定されて、第1の実施形態と同様の特徴（効果）が達成される。

【0057】なお、第1の半導体層103中に酸素原子、炭素原子、及び空素原子のうちの複数種類を含有している場合も、それぞれの含有量の和が約0.0001原子%～約10原子%の範囲であれば、第1の半導体層103の中の電子スピン密度が第1の実施形態で説明した適切な範囲内に設定されて、第1の実施形態で説明した電子放出素子と同等の特性が得られる。

【0058】（第3の実施形態）本発明の第3の実施形態では、第1の実施形態で作製した電子放出素子100において、第1の半導体層103及び第2の半導体層104を、Siターゲットの代わりにGeターゲットを使用して非晶質ゲルマニウムで構成する。また、絶縁体層105を、SiO<sub>x</sub>膜或いはGeO<sub>x</sub>膜（但し、xは0.25以上且つ2以下）とする。その他の各構成要素は第1の実施形態で説明したものと同様であり、それらの説明はここでは省略する。

【0059】第1の実施形態と同様に本実施形態の素子の電子放出特性を調べたところ、第1の実施形態における素子100とほぼ同じ結果を得た。

【0060】（第4の実施形態）本発明の第4の実施形態では、第1の実施形態で作製した電子放出素子100において、第1の半導体層103及び第2の半導体層104を、Siターゲットの代わりにグラファイトターゲットを使用して非晶質カーボンで構成する。また、絶縁体層105を、SiO<sub>x</sub>膜或いはGeO<sub>x</sub>膜（但し、xは0.25以上且つ2以下）とする。その他の各構成要素は第1の実施形態で説明したものと同様であり、それらの説明はここでは省略する。

【0061】第1の実施形態と同様に本実施形態の素子の電子放出特性を調べたところ、第1の実施形態における素子100とほぼ同じ結果を得た。

【0062】（第5の実施形態）本発明の第5の実施形態では、第1の実施形態で作製した電子放出素子100において、絶縁体層105を、SiO<sub>x</sub>膜の代わりに、Si<sub>1-x</sub>C<sub>x</sub>O<sub>y</sub>膜或いはGe<sub>1-x</sub>C<sub>x</sub>O<sub>y</sub>膜（但し、0 < x < 1、及び、yは0.25以上且つ2以下）とする。その他の各構成要素は第1の実施形態で説明したものと同様であり、それらの説明はここでは省略する。

【0063】第1の実施形態と同様に本実施形態の素子の電子放出特性を調べたところ、第1の実施形態における素子100とほぼ同じ結果を得た。

【0064】（第6の実施形態）本発明の第6の実施形態では、第1の実施形態で作製した電子放出素子100において、第1の半導体層103を非晶質シリコンの代わりに非晶質ゲルマニウムで構成した第1の電子放出素子を構成した。さらに、第1の実施形態で作製した電子

放出素子100において、第2の半導体層104を非晶質シリコンの代わりに非晶質カーボンで構成した第2の電子放出素子を構成した。第1及び第2の素子のそれぞれにおいて、その他の各構成要素は第1の実施形態で説明したものと同様であり、それらの説明はここでは省略する。

【0065】第1の実施形態と同様に、本実施形態の第1及び第2の素子の電子放出特性を調べたところ、第1の実施形態における素子100とほぼ同じ結果を得た。

10 【0066】第1の半導体層103及び第2の半導体層104を異なる材料で構成する場合は、上記のように、第2の半導体層104の構成材料の禁止帯幅が第1の半導体層103の構成材料の禁止帯幅よりも大きくなるように組み合わせると、好ましい結果が得られる。しかし、逆に、第1の半導体層103の構成材料よりも第2の半導体層104の構成材料の方が小さい禁止帯幅を有するように組み合わせると（例えば、第1の半導体層103を非晶質シリコン層とし、第2の半導体層104を非晶質ゲルマニウム層とする場合）、電子放出効率は急減する。

20 【0067】（第7の実施形態）図2は、本発明の第7の実施形態に係わる電子放出素子200、及びそれを使用した電界放出型ディスプレイ装置2000の概略構成図である。

【0068】本実施形態の電子放出素子200の製造にあたっては、第1の実施形態における電子放出素子100の製造時と同様のプロセスで第2の半導体層104までの構成を形成した後に、O<sub>2</sub>ガスを徐々にその流量を増加させながらスパッタ装置の中に導入して、図2に示すように、SiO<sub>x</sub>膜（但し、xは0.25以上且つ2以下）からなる絶縁体層105と第2の半導体層104との間に傾斜層201を形成する。傾斜層201の厚さは、好ましくは約0.01μmとし、一方、絶縁体層105の厚さは約0.4μmとする。

30 【0069】その後に、第2の導電性電極106として、Au或いはPt薄膜を約10nmの厚さにスパッタ法或いは真空蒸着法により積層して、電子放出素子200を形成する。さらに、第1の実施形態の電界放出型ディスプレイ装置1000と同様に、陽極基板150を電子放出素子200に對向して配置することによって、電界放出型ディスプレイ装置2000を構成する。

【0070】なお、電子放出素子200及び電界放出型ディスプレイ装置2000のその他の構成要素は、第1の実施形態における素子100及びディスプレイ装置1000と同様であり、それらの説明はここでは省略する。

【0071】本実施形態の素子200について、第1の実施形態1と同様に電子放出特性を測定したところ、直流電源110の電圧が約50V～約100V、直流電源50 111の電圧が約5kVのバイアス条件下で、蛍光体薄

膜 109 の発光が観測された。また、このときの電子放出効率（直流電源 111 を流れる電流と直流電源 110 を流れる電流との比）は約 10%～約 35% と高く、さらに、第 2 の導電性電極 106 と蛍光体 109 との間に流れる電流密度も約  $1 \text{ mA/cm}^2$  を越えており、動作電流が大きいことが確認できた。これは、第 2 の半導体層 104 と絶縁体層 105 との間に傾斜層 201 を設けることで、第 2 の半導体層 104 の伝導帯から絶縁体層 105 の伝導帯への電子の注入が、より効率的に行われるためと考えられる。

【0072】（第 8 の実施形態）本発明の第 8 の実施形態では、第 7 の実施形態で作製した電子放出素子 200 において、傾斜層 201 の厚さを様々に変化させた一連の電子放出素子を作製して、それらの動作特性を調べた。

【0073】その結果、傾斜層 201 の厚さが約  $0.01 \mu\text{m}$  より小さくなると、第 1 の実施形態における電子放出素子 100 と電子放出効率がほとんど同じになった。一方、傾斜層 201 の厚さを絶縁体層 105 と同じ約  $0.4 \mu\text{m}$  或いはそれ以上にすると、電子放出を開始する直流電源 110 の電圧が、約  $120\text{V}$ ～約  $250\text{V}$  と高くなつた。

【0074】これより、傾斜層 201 の厚さは、約  $0.01 \mu\text{m}$  以上であつて絶縁体層 105 の厚さより薄いことが好ましい。

【0075】（第 9 の実施形態）本実施形態では、図 3 に示すように、1 枚の基板上に複数の電子放出素子をアレイ状に形成して、電子放出素子アレイ 300 を形成する。

【0076】具体的には、ガラス基板 101 上に、Li を約 1 原子%～約 30 原子% 含有する Al-Li 合金からなる第 1 の導電性電極 102 を、厚さ約  $0.05 \mu\text{m}$ ～約  $0.5 \mu\text{m}$  に真空蒸着法或いはスパッタ法により形成する。その際に、適切なパターンのマスクを使用することによって、480 本の互いに電気的絶縁された矩形の電極パターンとして形成する。

【0077】次に、第 1 の実施形態においてと同様に、Si をターゲットとする高周波スパッタ法によって、酸素を含む非晶質シリコン膜を厚さ約  $1 \text{ nm}$ ～約  $100 \text{ nm}$ 、典型的には約  $5 \text{ nm}$ ～約  $50 \text{ nm}$  に形成して、第 1 の半導体層 103 とする。次に、同じスパッタ装置内で、上記希ガスのみを用いて非晶質シリコン膜を厚さ約  $1 \mu\text{m}$ ～約  $10 \mu\text{m}$ 、典型的には約  $2 \mu\text{m}$ ～約  $6 \mu\text{m}$  に形成し、第 2 の半導体層 104 とする。さらに、続いて同じスパッタ装置内で、上記希ガスに加えて上記の酸素原子を分子内に含むガスを導入し、SiO<sub>x</sub> 膜（但し、x は 0.25 以上且つ 2 以下）を約  $0.4 \mu\text{m}$  の厚さで形成し、絶縁体層 105 とする。また、Au、Cu、Al、Cr、Ti、Pt、Pd、Mo、Ag などの金属からなる配線用の矩形電極 301 を、真空蒸着法或いはス

パック法により、第 1 の導電性電極 102 とは直交する方向に所定のパターンのマスクを使用して計 640 個配列する。

【0078】その後に、第 2 の導電性電極 106 として、Pt 薄膜を厚さ約  $1 \text{ nm}$ ～約  $100 \text{ nm}$ 、典型的には約  $5 \text{ nm}$ ～約  $20 \text{ nm}$  で、スパッタ法或いは真空蒸着法により積層する。但し、このとき、第 2 の導電性電極 106 は、適切なパターンのマスクを使用することによって、480 個 × 640 個の島状電極 106 のアレイとして形成し、個々の島状電極 106 は配線用電極 301 の何れか 1 本に電気的に接続させる。

【0079】以上によって、電子放出素子アレイ 300 が形成される。また、この電子放出素子アレイ 300 に対向するように陽極基板を配置することによって、電界放出型ディスプレイ装置が構成される。

【0080】この電子放出素子アレイ 300 について、第 1 の実施形態と同様に電子放出特性を調べた。その結果、第 1 の導電性電極 102 と配線用電極 301 との間に線順次に直流電圧を印加したところ、蛍光体層 109 からの発光はモノクロ画像を表示した。さらに、1000 時間以上の連続動作を行っても蛍光体層 109 の発光輝度はほとんど変化せず、長寿命を有し且つ動作の安定性に優れていることが確認できた。

【0081】なお、絶縁体層 105 の構成材料としては、Si<sub>1-x</sub>O<sub>x</sub> 膜の代わりに、Si<sub>1-x</sub>N<sub>x</sub> 膜（ $0 < x < 0.57$ ）、Si<sub>1-x</sub>C<sub>x</sub> 膜（ $0 < x < 1$ ）、Ge<sub>1-x</sub>C<sub>x</sub> 膜（ $0.3 < x < 1$ ）、Ge<sub>1-x</sub>O<sub>x</sub> 膜（ $0.2 < x < 1$ ）、Ge<sub>1-x</sub>N<sub>x</sub> 膜（ $0.2 < x < 0.57$ ）、水素化非晶質カーボン（a-C:H）膜、ダイヤモンド膜、Al<sub>1-x</sub>N 膜、BN 膜、Al<sub>1-x</sub>O<sub>x</sub> 膜、MgO 膜、CaF<sub>2</sub> 膜、MgF<sub>2</sub> 膜など、第 2 の半導体層 104 の構成材料よりも大きい禁止帯幅を有する材料で有れば、同様の効果が得られる。

【0082】また、第 7 及び第 8 の実施形態として説明したように、第 2 の半導体層（非晶質シリコン層）104 と絶縁層（SiO<sub>x</sub> 層）105 の間に傾斜層 201 を設ければ、より高い放出効率が得られる。

【0083】カラー画像を表示するためには、蛍光体層 109 として、アレイ状に設けられた複数の第 2 の導電性電極 106 の各々に対応して R、G、B を発色する 3 種類の蛍光体を配置せねばよい。

【0084】また、第 1 の導電性電極 102、配線用電極 301、及び第 2 の導電性電極 106 を形成する際に、上記ではマスクを使用しているが、フォトリソグラフィ法やリフトオフ法を使用しても、所期の電極パターンが形成できる。

【0085】（第 10 の実施形態）図 4 は、本発明の第 10 の実施形態に係わる電子放出素子 400、及びそれを使用した電界放出型ディスプレイ装置 4000 の概略構成図である。以下に、図 4 を参照しながら、電子放出

素子 400 や電界放出型ディスプレイ装置 4000 の構成や製造方法を説明する。

【0086】まず、ガラス基板 101 の上に、第1の導電性電極 102 として、Al、Al-Li 合金、Mg、Mg-Al 合金、Ag、Cr、W、Mo、Ta、或いは Ti の薄膜を、スパッタ法或いは真空蒸着法により、厚さ約 0.01 μm～約 100 μm、典型的には約 0.05 μm～約 1 μm に形成する。

【0087】次に、SiH<sub>x</sub>、水素、及び第1の実施形態で説明した酸素原子を含むガスを混合したガスを用いた平行平板容量結合型プラズマ CVD 法により、酸素を含んだ水素化非晶質シリコン（以下、a-Si:H と略記する）薄膜を、厚さ約 1 nm～約 100 nm に形成して、第1の半導体層 103 とする。次に、SiH<sub>x</sub> を水素で希釈した混合ガス（但し、希釈時の体積比を H<sub>x</sub> / SiH<sub>x</sub> = 10 以上とする）を用いて、非晶質領域と微結晶領域とが混在している水素を含んだシリコン薄膜を厚さ約 2 μm に形成し、第2の半導体層 104 とする。なお、第1及び第2の半導体層 103 及び 104 の成膜時に、基板加熱温度は約 200°C～約 400°C、典型的には約 250°C～約 350°C、圧力は約 0.2 Torr～約 1.0 Torr、典型的には約 0.5 Torr～約 1 Torr、高周波電極面積は約 120 cm<sup>2</sup>、及び高周波電力は約 5 W～約 50 W、典型的には約 10 W～約 30 W とする。

【0088】統いて、SiH<sub>x</sub>、水素、及び上記の酸素原子を含むガスの混合ガスを用いて、同様のプラズマ CVD 法により、SiO<sub>x</sub> 膜（但し、x は 0.25 以上且つ 2 以下）を約 0.4 μm の厚さで形成し、絶縁体層 105 とする。さらに、第2の導電性電極 106 として、第1の導電性電極 102 の構成材料よりも大きい仕事関数を有する金属（例えば、Au、Pt、Ni、或いは Pd 等）の薄膜を、厚さ約 1 nm～約 100 nm、典型的には約 5 nm～約 20 nm で、スパッタ法或いは真空蒸着法により積層する。

【0089】以上によって、電子放出素子 400 が形成される。

【0090】この電子放出素子 400 を陰極とし、それに対向するように、ガラス基板 107 の上にITO 或いは SnO<sub>2</sub> 等からなる透明電極 108 と蛍光体薄膜 109 とが積層された陽極基板 150 を配置する。これによって、電界放出型ディスプレイ装置 4000 を構成する。

【0091】本実施形態の素子 400 について、第1の実施形態と同様に電子放出特性を測定したところ、直流電源 110 の電圧が約 10 V～約 200 V、直流電源 111 の電圧が約 3 kV～約 10 kV のバイアス条件下で、第2の導電性電極 106 の表面から真空中に電子が放出され、この放出された電子が直流電源 111 による電界によって加速されて蛍光体薄膜 109 と衝突するこ

とにより、蛍光体薄膜 109 の発光が観測された。

【0092】このときの電子放出効率（直流電源 111 を流れる電流と直流電源 110 を流れる電流との比）は約 5%～約 30% と高く、さらに、第2の導電性電極 106 と蛍光体 109 との間を流れる電流密度も約 1 mA / cm<sup>2</sup> を越えており、動作電流が大きいことが確認できた。

【0093】蛍光体層 109 の発光輝度は、図 7 に示す従来構造のものに比べて、2 枝～3 枝ほど明るかった。

10 さらに、1000 時間以上の連続動作を行っても電子放出素子 400 からの電子放出効率はほとんど変化せず、図 4 の電子放出素子 400 が長寿命を有し且つ動作安定性に優れていることが確認できた。

【0094】電子放出素子 400 の電子放出効率が高く、また、従来例に比べて動作電流が大きく高輝度が得られた原因を調べたところ、第2の半導体層 104 と絶縁体層 105 との界面 411 の凹凸によるものであることが判明した。これを、以下に説明する。

【0095】先ず比較のために、上記の電子放出素子 400 の第2の半導体層 104 の形成条件において、体積比 H<sub>x</sub> : SiH<sub>x</sub> = 8 : 1 の混合ガスを使用して水素を含んだシリコン薄膜を形成し、他の構成要素は素子 400 と全く同様にして、比較用電子放出素子を作製した。そして、この比較用素子について上記と同様に電子放出特性を調べたところ、直流電源 110 の電圧を大きくしても電子放出はわずかに観測されただけで、その放出効率は、本実施形態における素子 400 に比べて 1 枝小さかった。このように、第2の半導体層 104 の作製条件が異なる 2 つの素子間で電子放出特性が大きく異なる理由について考察した内容を、以下に述べる。

【0096】本実施形態における素子 400 の第2の半導体層 104 を透過電子顕微鏡により分析したところ、層 104 の内部には微結晶領域と非晶質領域とが混在しており、その内の微結晶領域には柱状に成長した微結晶粒が見られた。また、微結晶粒の大きさは、厚さ方向で約 5 nm～約 500 nm、厚さ方向と垂直な方向では約 1 nm～約 50 nm であった。さらに、作製時の SiH<sub>x</sub> に対する H<sub>x</sub> の割合を大きくすれば、微結晶の大きさがそれに応じて増加して、非晶質領域の面積に対する微結晶領域の面積の割合が増加することが判明した。

【0097】さらに、素子 400 における第2の半導体層 104 の表面（すなわち、第2の半導体層 104 と絶縁体層 105 との間の界面 411）を電子顕微鏡で観察したところ、図 5 の模式的な拡大図に示すように、微結晶粒の成長に起因した、周期性がなく高さも一定でない不均一な凹凸が形成されていることが確認された。凹凸の高低差は、最小で約 5 nm 及び最大で約 200 nm の範囲に分布しており、その平均は、約 50 nm～約 100 nm であった。なお、観察した素子 400 の大きさは、2 mm × 2 mm であった。

【0098】一方、比較用素子における第2の半導体層は、均一なa-Si:H層であり、その表面も鏡面状で、本実施形態の素子400におけるような凹凸は、第2の半導体層（均一なa-Si:H層）と絶縁体層との界面には形成されていないことが判明した。

【0099】さらに、素子400では、絶縁体層105の表面にも凹凸が見られたのに対して、第2の半導体層（均一なa-Si:H層）と絶縁体層との界面が平坦である比較用素子では、絶縁体層104の表面には凹凸が見られなかった。これより、素子400の絶縁体層105の表面の凹凸は、絶縁体層105に起因しているのではなく、界面411、すなわち第2の半導体層104の表面状態が反映していると考えられる。

【0100】以上の結果より、本実施形態の電子放出素子400が上記のようにより高い電子放出効率を示す原因は、界面411の凹凸に起因すると考えられる。すなわち、凹凸の有る界面411では、平坦な界面に比べて接合面積が増加すること、さらに、界面411の凸部分で電界強度が局部的に大きくなり、第2の半導体層104から絶縁体層105への電子の注入効率が増加するという効果がもたらされることによって、結果として絶縁体層105中を流れる電子の数が増大するためと考えられる。

【0101】直流電源110の電圧の大部分は絶縁体層105に印加されているため、絶縁体層105中を走行する電子は大きく加速される。さらに、第2の導電性電極106が薄いために、電子は第2の導電性電極106を突き抜けて真空中に飛び出す。飛び出した電子は、直流電源111の作る電界によって蛍光体層109に衝突し、これを発光させる。従って、界面411の凹凸の作用によって絶縁体層105中に注入される電子の数が増加すれば、そのまま蛍光体層109の発光輝度の増加につながる。

【0102】また、本実施形態の電子放出素子100は、図7を参照して説明した従来技術における構造とは異なって、エミッタ部分が尖っておらず平坦である。このため、局部的な電流集中がなく、それに起因したエミッタ部分の損傷が発生しないので、素子寿命が長くなるとともに動作電流が安定する。

【0103】（第11の実施形態）本発明の第11の実

40 【表1】

絶縁体層厚さ (nm)	500	500	500	2000	2000	2000	5000	5000	5000
凹凸最大深さ (nm)	0.5	5	500	2	20	2000	5	50	5000
電子放出効率 (%)	0.1	25	28	0.1	22	26	0.1	20	24

これより、界面411の凹凸の高低差の平均値が、絶縁体層105の厚さの約1/100以上あれば、高い電子

放出効率が得られる。なお、表1の結果によれば、絶縁体層105の厚さと界面411の凹凸の最大深さとが等

施形態では、第10の実施形態で作製した電子放出素子400において、a-Si:Hからなる第2の半導体層104を形成した後に、第2の半導体層104を電気炉にて約600°C以上に加熱して内部に微結晶を成長させ、その後に順次絶縁体層105及び第2の導電性電極106を形成する。その他の各構成要素は第10の実施形態で説明したものと同様であり、それらの説明はここでは省略する。

【0104】第10の実施形態と同様に本実施形態の素子の電子放出特性を調べたところ、第10の実施形態における素子400とほぼ同じ結果を得た。

【0105】また、a-Si:H層104へのエキシマレーザー或いは電子ビームの照射によってa-Si:H層104の内部に微結晶を成長させても、同様の結果を得た。

【0106】（第12の実施形態）本発明の第12の実施形態では、第10の実施形態で作製した電子放出素子400において、第1及び第2の半導体層103及び104の厚さは変えずに、絶縁体層105の厚さを様々に変化させた一連の素子を作製し、それらの動作特性を調べた。

【0107】その結果、絶縁体層105の厚さが約0.1 μmより小さくなると、素子がブレークダウンして動作しなくなる場合が発生し、実用には供しえないことが分かった。一方、絶縁体層105の厚さを約5 μmより厚くすると、絶縁体層105の内部応力による剥離が発生し易くなるとともに、直流電源110からの印加電圧を約1 kV以上に大きくする必要が生じて、やはり実用には供し得ないことが分かった。

【0108】これより、絶縁体層105の厚さは、約0.1 μm～約5 μmの範囲に設定することが好ましい。

【0109】さらに、界面411の凹凸の最大深さと絶縁体層105の厚さとの関係を調べた。その結果を、表1に示す。但し、界面411の凹凸の最大深さは、第10の実施形態における測定時と同様に、電子放出素子を2 mm×2 mmの大きさに切り出し、電子顕微鏡でその断面を観察することにより測定した。

【0110】

しいときに、電子放出効率は最も高くなっている。但し、実際には、このような条件下では絶縁体層 105 の絶縁破壊が生じ易く、素子の動作が不安定になって短寿命になるために、実用には不向きである。

【0111】従って、界面 411 に凹凸を形成する場合に、凹凸の高低差が有りすぎると、局部的に異常に高電界の部分が形成されて、絶縁体層 105 の絶縁破壊が生じ易くなる。一方、界面 411 の凹凸の高低差が小さすぎると、平坦な界面の場合と殆ど変化なくなって、高い電子放出効率が得られない。さらに良好な動作特性を実現するためには、界面 411 の凹凸の高低差に応じて、絶縁体層 105 の厚さを調整する必要がある。

【0112】(第13の実施形態) 本発明の第13の実施形態では、第10の実施形態で作製した電子放出素子 400において、絶縁体層 105 の厚さは変えずに、第2の半導体層 104 の厚さを様々に変化させた一連の素子を作製し、それらの動作特性を調べた。

【0113】その結果、第2の半導体層 104 の厚さが約 0.01 μm より小さくなると、第2の半導体層 104 の内部における非晶質領域と微結晶領域の混在という不均一性が、その表面でも観察されるようになる。その結果、素子の電子放出効率の面内分布(不均一性)が顕著になり、全体的な電子放出効率(言い替えれば動作電流)が低下すると共に素子寿命が減少して、実用には供し得なくなる。

【0114】一方、第2の半導体層 104 の厚さを約 50 μm まで大きくしたが、動作特性の変化は見られなかった。

【0115】(第14の実施形態) 本発明の第14の実施形態では、第10の実施形態で作製した電子放出素子 400において、第2の半導体層 104 として、微結晶粒を含む Si 層の代わりに、ほぼ同じ大きさの微結晶を含む Ge 層、 Si<sub>1-x</sub>C<sub>x</sub> 合金層、 Si<sub>1-x</sub>Ge<sub>x</sub> 合金層、或いは Ge<sub>1-x</sub>C<sub>x</sub> 合金層(但し、0 < x < 1)を形成する。その他の各構成要素は第10の実施形態で説明したものと同様であり、それらの説明はここでは省略する。

【0116】第2の半導体層 104 を上記の材料で構成しても、第10の実施形態と同様に本実施形態の素子の電子放出特性を調べたところ、第10の実施形態における素子 400 とほぼ同じ結果を得た。

【0117】また、第2の半導体層 104 を上記の材料で形成する際に、原料ガスに F<sub>2</sub>、 SiF<sub>4</sub>、 CF<sub>4</sub>、 GeF<sub>4</sub>などのフッ素を含むガスを混合することにより、微結晶粒径を約 1 桁大きくすることができた。

【0118】さらに、原料ガスに PF<sub>3</sub>、 PH<sub>3</sub>、 AsH<sub>3</sub>などのガスを混合し、第2の半導体層 104 に P、 As などの不純物を約 0.01 ppm ~ 約 1000 ppm だけ添加することにより、第2の半導体層 104 から絶縁体層 105 への電子の注入を低い電界で発生させることが可能になり、電子放出が始まる直流電源 110 の印

加電圧が低減される。

【0119】(第15の実施形態) 本発明の第15の実施形態では、第10の実施形態で作製した電子放出素子 400 の作製プロセスに改変を加えている。以下に、その内容を説明する。

【0120】まず、ガラス基板 101 上に、 Li を約 1 原子% ~ 約 30 原子% 含有する Al-Li 合金からなる第1の導電性電極 102 を、厚さ約 0.05 μm ~ 約 0.5 μm に真空蒸着法により形成する。その後に、ハロゲン原子を含むガス(例えば、 CF<sub>4</sub>、 C<sub>2</sub>F<sub>6</sub>、 NF<sub>3</sub>、 C<sub>1</sub>F<sub>8</sub>、 F<sub>2</sub>、 SF<sub>6</sub>、 HF、 C<sub>1</sub>、 ガス、 HCl ガス、など)をグロー放電により分解して生成したハロゲンラジカルやハロゲンイオンを用いる化学的ドライエッティング或いは反応性イオンエッティングによって、電極 102 の表面から深さ方向に約 1 nm ~ 約 100 nm の範囲をエッティングした。

【0121】続いて、 SiH<sub>4</sub> 及び酸素の混合ガスを用いたプラズマ CVD 法により、酸素を含んだ a-Si:H 層(第1の半導体層) 103 を約 10 nm ~ 約 100 nm の厚さに形成し、さらに、ガス混合比(H<sub>2</sub>/SiH<sub>4</sub>)を約 0 ~ 約 10 としたプラズマ CVD 法により、

20 a-Si:H 層(第2の半導体層) 104 を約 1 μm ~ 約 5 μm の厚さに形成した。但し、第1及び第2の半導体層 103 及び 104 の成膜時の基板加熱温度は、約 150 °C ~ 約 350 °C とする。このとき、 a-Si:H 層 104 の表面を走査型電子顕微鏡により観察したところ、深さが約 10 nm(最小) ~ 300 nm(最大)の範囲の凹凸が形成されていた。

【0122】次に、 SiH<sub>4</sub>/O<sub>2</sub> 混合比を約 0.5 ~ 約 30 4 とし、さらに H<sub>2</sub> を混合したガスを用いたプラズマ CVD 法により、絶縁体層 105 としての SiO<sub>x</sub>(x は 1 ~ 1.6) 膜 105 を、厚さ約 0.1 μm ~ 約 0.6 μm に形成し、さらにその上にスパッタ法により第2の導電性電極としての Pt 薄膜 106 を、厚さ約 10 nm に形成して、電子放出素子を作製する。

【0123】このようにして形成した素子について、第10の実施形態と同様に電子放出効率を調べたところ、約 10% ~ 約 30% と高い値が得られた。

【0124】第10の実施形態では、微結晶粒を含まない a-Si:H 層によって第2の半導体層 104 を形成する場合には、電子放出は生じなかった。これに対して、上記のように、下地の電極 102 の表面をエッティングし、面内におけるわずかなエッティング速度のバラツキを利用して電極 102 の表面に凹凸を形成することにより、本来であれば表面に凹凸が形成されない半導体層(例えば a-Si:H 層)の表面に、所望の凹凸を形成することができる。これによって、絶縁体層 105 への電子の注入効率を上げることができる。

【0125】また、第2の半導体層 104 として、 a-Si:H 層の代わりに、 a-Ge:H 層、 a-Si<sub>1-x</sub>C<sub>x</sub>

$C_x : H$  合金層、 $a-Si_x, Ge_x : H$  合金層、 $a-Ge_x, C_x : H$  合金層（但し、 $0 < x < 1$ ）などを使用しても、上記と同様の結果を得ることができる。さらに、これらの材料から構成される第2の半導体層104に、 $P$ 、 $As$ 、 $Sb$ などの不純物を約1ppm～約10000ppmだけ添加することにより、第14の実施形態と同様に、電子放出が始まる直流電源110の印加電圧が低減される。

【0126】或いは、第2の半導体層104の構成材料として、上記のような非晶質材料の他に、もともの成膜時に凹凸が形成される、少なくとも微結晶を含むシリコン薄膜、 $Ge$ 層、 $Si_x, C_x$ 合金層、 $Si_x, Ge_x$ 合金層、 $Ge_x, C_x$ 合金層（但し、 $0 < x < 1$ ）等を使用しても、上記と同様の結果を得ることができる。

【0127】さらに、第1の導電性電極102の表面をエッティングせずに、まず微結晶を含む半導体層を約0.1μm～約1μmの厚さに形成し、続いて非晶質半導体層を約0.5μm～約5μmの厚さに積層することによって、2層構造を有する第2の半導体層104を形成しても、その界面411に深さ約10nm～約300nmの範囲の凹凸が形成されて、上記と同様の結果を得ることができる。

【0128】（第16の実施形態）本発明の第16の実施形態では、第15の実施形態で作製した電子放出素子において、第1の導電層102の代わりに低抵抗（約1Ωcm以下）のシリコンウェハを使用する。この場合のシリコンウェハは、これまでの実施形態でガラス基板101が果たしていた支持体としての機能も同時に奏するので、ガラス基板101は省略可能である。

【0129】上記の場合でも、第15の実施形態においてと同様の結果が得られる。

【0130】（第17の実施形態）本発明の第17の実施形態では、第10の実施形態で作製した電子放出素子400の作製プロセスに改変を加えている。以下に、その内容を説明する。

【0131】まず、ガラス基板101上に、 $Li$ を約1原子%～約30原子%含有する $Al-Li$ 合金からなる第1の導電性電極102を、厚さ約0.05μm～約0.5μmに真空蒸着法により形成する。

【0132】続いて、 $SiH_4$ 及び酸素の混合ガスを用いたプラズマCVD法により、酸素を含んだ $a-Si : H$ 層（第1の半導体層）103を約10nm～約100nmの厚さに形成し、さらに、ガス混合比（ $H_2 / SiH_4$ ）を約0～約10としたプラズマCVD法により、 $a-Si : H$ 膜（第2の半導体層）104を約2μm～約5μmの厚さに形成した。但し、第1及び第2の半導体層103及び104の成膜時の基板加熱温度は、約150°C～約350°Cとする。

【0133】その後に、ハロゲン原子を含むガス（例えば、 $CF_4$ 、 $C_2F_6$ 、 $NF_3$ 、 $ClF_3$ 、 $F_2$ 、 $SF_6$ 、 $H$

$F_2$ 、 $Cl_2$ ガス、 $HC_1$ ガス、など）をグロー放電により分解して生成したハロゲンラジカルやハロゲンイオンを用いる化学的ドライエッティング或いは反応性イオンエッティングによって、 $a-Si : H$ 層104の表面から深さ方向に約0.1μm～約1μmの範囲をエッティングした。このとき、 $a-Si : H$ 層104の表面を走査型電子顕微鏡により観察したところ、深さが約10nm（最小）～約500nm（最大）の範囲の凹凸が形成されていた。

10 【0134】次に、 $SiH_4 / O_2$ 混合比を約0.5～約4とし、さらに $H_2$ を混合したガスを用いたプラズマCVD法により、絶縁体層105としての $SiO_x$ （ $x$ は1～1.6）膜105を、厚さ約0.1μm～約0.6μmに形成し、さらにその上にスパッタ法により第2の導電性電極としての $Pt$ 薄膜106を、厚さ約10nmに形成して、電子放出素子を作製する。

【0135】このようにして形成した素子について、第10の実施形態と同様に電子放出効率を調べたところ、約10%～約30%と高い値が得られた。

20 【0136】第10の実施形態では、微結晶粒を含まない $a-Si : H$ 層によって第2の半導体層104を形成する場合には、電子放出は生じなかった。これに対して、上記のように、 $a-Si : H$ 層104の表面をエッティングし、面内におけるわずかなエッティング速度のバラツキを利用して $a-Si : H$ 層104の表面に凹凸を形成することにより、本来であれば表面に凹凸が形成されない半導体層（例えば $a-Si : H$ 層）の表面に、所望の凹凸を形成することができる。これによって、絶縁体層105への電子の注入効率を上げることができる。

30 【0137】また、第2の半導体層104として、 $a-Si : H$ 層の代わりに、 $a-Ge : H$ 層、 $a-Si_x, C_x : H$ 合金層、 $a-Si_x, Ge_x : H$ 合金層、 $a-Ge_x, C_x : H$ 合金層（但し、 $0 < x < 1$ ）などを使用しても、上記と同様の結果を得ることができる。さらに、これらの材料から構成される第2の半導体層104に、 $P$ 、 $As$ 、 $Sb$ などの不純物を約1ppm～約10000ppmだけ添加することにより、第14の実施形態と同様に、電子放出が始まる直流電源110の印加電圧が低減される。

40 【0138】或いは、第2の半導体層104の構成材料として、上記のような非晶質材料の他に、もともの成膜時に凹凸が形成される、少なくとも微結晶を含むシリコン薄膜、 $Ge$ 層、 $Si_x, C_x$ 合金層、 $Si_x, Ge_x$ 合金層、 $Ge_x, C_x$ 合金層（但し、 $0 < x < 1$ ）等を使用しても、上記と同様の結果を得ることができる。

【0139】（第18の実施形態）本実施形態では、図6に示すように、1枚の基板上に複数の電子放出素子をアレイ状に形成して、電子放出素子アレイ600を形成する。

50 【0140】具体的には、ガラス基板101上に、 $Li$

を約1原子%～約30原子%含有するAl-Li合金からなる第1の導電性電極102を、厚さ約0.05μm～約0.5μmに真空蒸着法或いはスパッタ法により形成する。その際に、適切なパターンのマスクを使用することによって、480本の互いに電気的絶縁された矩形の電極パターンとして形成する。

【0141】次に、第10の実施形態においてと同様に、SiH<sub>x</sub>、水素、及び酸素原子を含むガスを混合したガスを用いた平行平板容量結合型プラズマCVD法により、a-Si:H薄膜を、厚さ約1nm～約100nmに形成して、第1の半導体層103とする。次に、SiH<sub>x</sub>を水素で希釈した混合ガス（但し、希釈時の体積比をH<sub>2</sub>/SiH<sub>x</sub>=10以上とする）を用いて、非晶質領域と微結晶領域とが混在している水素を含んだシリコン薄膜を厚さ約1μm～約5μmに形成し、第2の半導体層104とする。なお、第1及び第2の半導体層103及び104の成膜時に、基板加熱温度は約200℃～約400℃、典型的には約250℃～約350℃、圧力は約0.2Torr～約1.0Torr、典型的には約0.5Torr～約1Torr、高周波電極面積は約120cm<sup>2</sup>、及び高周波電力は約5W～約50W、典型的には約10W～約30Wとする。このとき、第2の半導体層104の表面411には、深さが約30nm～約500nmの範囲の凹凸が形成されている。

【0142】続いて、SiH<sub>x</sub>、水素、及び上記の酸素原子を含むガスの混合ガスを用いて、同様のプラズマCVD法により、SiO<sub>x</sub>膜（但し、xは0.25以上且つ2以下）を約0.3μm～約0.5μmの厚さで形成し、絶縁体層105とする。さらに、Au、Cu、Al、Cr、Ti、Pt、Pd、Mo、Agなどの金属からなる配線用の矩形電極301を、真空蒸着法或いはスパッタ法により、第1の導電性電極102とは直交する方向に所定のパターンのマスクを使用して計640個配列する。続いて、第2の導電性電極106として、Pt薄膜を厚さ約1nm～約100nm、典型的には約5nm～約20nmで、スパッタ法或いは真空蒸着法により積層する。但し、このときに、第2の導電性電極106は、適切なパターンのマスクを使用することによって、480個×640個の島状電極106のアレイとして形成し、個々の島状電極106は配線用電極301の何れか1本に電気的に接続させる。

【0143】以上によって、電子放出素子アレイ600が形成される。また、この電子放出素子アレイ600に対向するように陽極基板を配置することによって、電界放出型ディスプレイ装置が構成される。

【0144】この電子放出素子アレイ600について、第1の実施形態と同様に電子放出特性を調べた。その結果、第1の導電性電極102と配線用電極301との間に線順次に直流電圧を印加したところ、蛍光体層109からの発光はモノクロ画像を表示した。さらに、100

0時間以上の連続動作を行っても蛍光体層109の発光輝度はほとんど変化せず、長寿命を有し且つ動作の安定性に優れていることが確認できた。

【0145】なお、絶縁体層105の構成材料としては、Si<sub>1-x</sub>O<sub>x</sub>膜の代わりに、Si<sub>1-x</sub>N<sub>x</sub>膜（0<x<0.57）、Si<sub>1-x</sub>C<sub>x</sub>膜（0<x<1）、Ge<sub>1-x</sub>C<sub>x</sub>膜（0.3<x<1）、Ge<sub>1-x</sub>O<sub>x</sub>膜（0.2<x<1）、Ge<sub>1-x</sub>N<sub>x</sub>膜（0.2<x<0.57）、水素化非晶質カーボン（a-C:H）膜、ダイヤモンド膜、AlN膜、BN膜、Al<sub>2</sub>O<sub>3</sub>膜、MgO膜、CaF<sub>2</sub>膜、MgF<sub>2</sub>膜など、第2の半導体層104の構成材料よりも大きい禁止帯幅を有する材料で有れば、同様の効果を得られる。

【0146】カラー画像を表示するためには、蛍光体層109として、アレイ状に設けられた複数の第2の導電性電極106の各々に対応してR、G、Bを発色する3種類の蛍光体を配置させればよい。

【0147】また、第1の導電性電極102、配線用電極301、及び第2の導電性電極106を形成する際に、上記ではマスクを使用しているが、フォトリソグラフィ法やリフトオフ法を使用しても、所期の電極パターンが形成できる。

【0148】

【発明の効果】以上のように、本発明によれば、動作電流が大きく且つエミッタ部の劣化が無い、長寿命で動作安定性及び信頼性に優れた電子放出素子が提供される。この電子放出素子は、容易に製造可能である。

【図面の簡単な説明】

【図1】本発明のある実施形態における電子放出素子、及びそれを用いて構成される電界放出型ディスプレイ装置の構成を模式的に示す図である。

【図2】本発明の他の実施形態における電子放出素子、及びそれを用いて構成される電界放出型ディスプレイ装置の構成を模式的に示す図である。

【図3】図1に示す電子放出素子をアレイ状に構成した本発明の電子放出素子アレイの構成を模式的に示す図である。

【図4】本発明の他の実施形態における電子放出素子、及びそれを用いて構成される電界放出型ディスプレイ装置の構成を模式的に示す図である。

【図5】図4の電子放出素子の界面部の形状を模式的に示す拡大図である。

【図6】図4に示す電子放出素子をアレイ状に構成した本発明の電子放出素子アレイの構成を模式的に示す図である。

【図7】従来技術による電子放出素子の構成を模式的に示す図である。

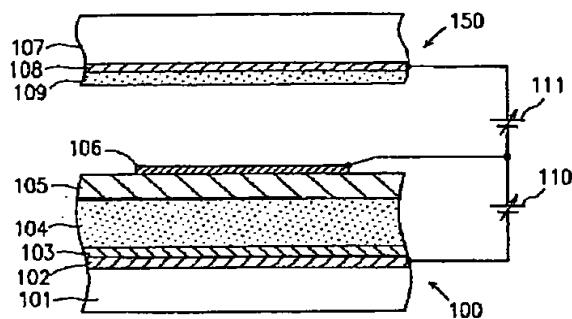
【符号の説明】

101、107 ガラス基板

102 第1の導電性電極

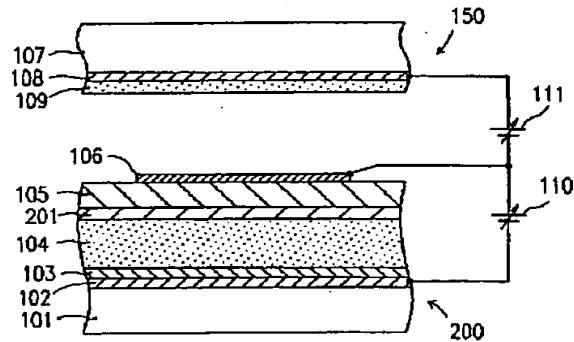
103 第1の半導体層  
 104 第2の半導体層  
 105 絶縁体層  
 106 第2の導電性電極  
 108 透明導電性電極  
 109 荧光体層  
 110、111 直流電源  
 201 傾斜層

【図 1】



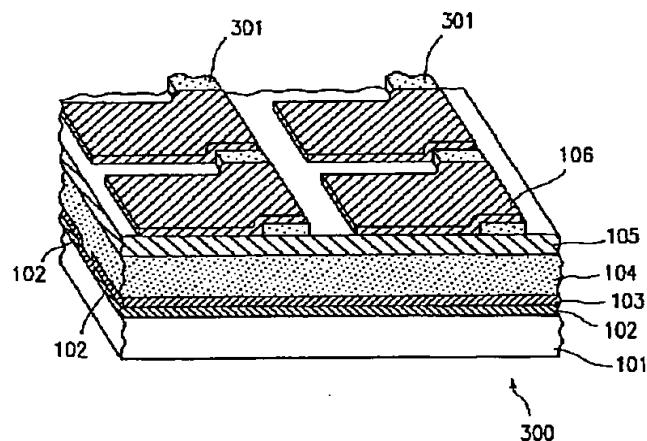
1000

【図 2】

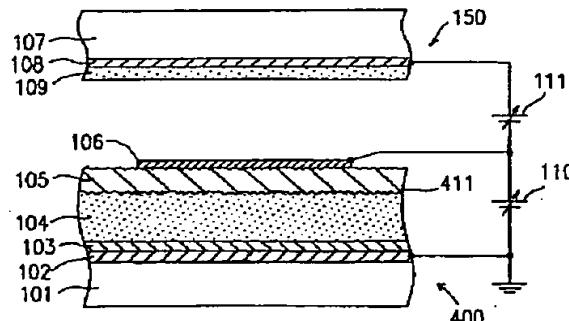


2000

【図 3】

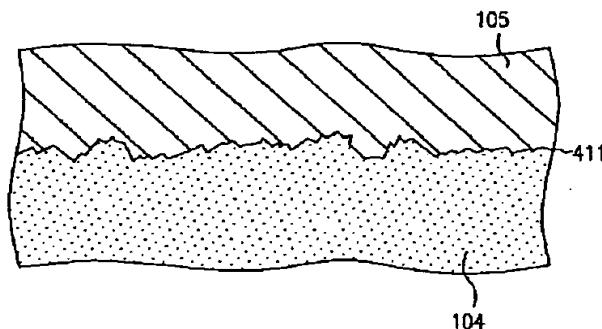


【図 4】



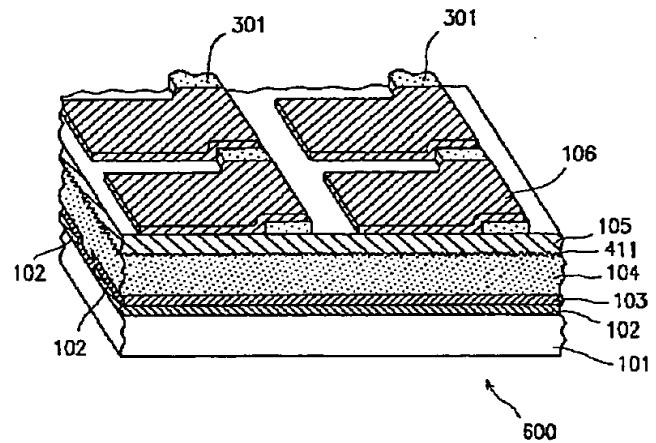
4000

【図 5】

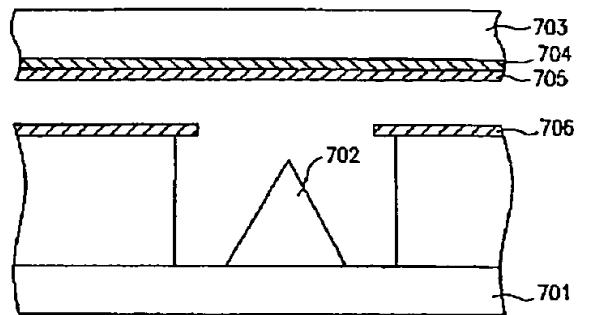


BEST AVAILABLE COPY

【図 6】



【図 7】



BEST AVAILABLE COPY